

Please type a plus sign (+) inside this box -

+

PTO/SB/05 (1/98)
Approved for use through 09/30/2000. OMB 0651-0032
Patent and Trademark Office U S DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No. 0819-423

First Inventor or Application Identifier: Taiji NODA et al.

Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING
THE SAME

Express Mail Label No.

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

ADDRESS TO:

Assistant Commissioner for Patents
Box Patent Application
Washington, DC 20231

1. ☐ Fee Transmittal Form (e.g., PTO/SB/17)
(Submit an original, and a duplicate for fee processing)
2. ☒ Japanese Language Specification *Total Pages [17]*
(preferred arrangement set forth below)
 - Descriptive title of the invention
 - Cross References to Related Applications
 - Statement Regarding Fed sponsored R & D
 - Reference to Microfiche Appendix
 - Background of the invention
 - Brief Summary of the invention
 - Brief Description of the Drawings (if filed)
 - Detailed Description
 - Claim(s)
 - Abstract of the Disclosure
3. ☒ Drawing(s) (35 USC 113) *Total Sheets [7]*
4. ☐ Oath or Declaration *Total Pages []*
 - a. ☐ Newly executed (original or copy)
 - b. ☐ Copy from a prior application (37 CFR 1.63(d))
(for continuation/divisional with Box 17 completed)
[Note Box 5 below]
 - i. ☐ **DELETION OF INVENTOR(S)**
Signed statement attached deleting
inventor(s) named in the prior application,
see 37 CFR 1.63(d)(2) and 1.33(b).
5. ☐ Incorporation By Reference (useable if Box 4b is checked)
The entire disclosure of the prior application, from which a
copy of the oath or declaration is supplied under Box 4b,
is considered to be part of the disclosure of the
accompanying application and is hereby incorporated by
reference therein

6. ☐ Microfiche Computer Program (Appendix)
7. Nucleotide and/or Amino Acid Sequence Submission
(if applicable, all necessary)
 - a. ☐ Computer Readable Copy
 - b. ☐ Paper Copy (identical to computer copy)
 - c. ☐ Statement verifying identity of above copies

ACCOMPANYING APPLICATION PARTS

8. ☐ Assignment Papers (cover sheet & document(s))
9. ☐ 37 CFR 3.73(b) Statement ☐ Power of Attorney
(when there is an assignee)
10. ☐ English Translation Document (if applicable)
11. ☐ Information Disclosure Statement ☐ Copies of IDS
(IDS)/PTO-1449 Citations
12. ☐ Preliminary Amendment
13. ☒ Return Receipt Postcard (MPEP 503)
(Should be specifically itemized)
14. ☐ *Small Entity ☐ Statement filed in prior application,
Statement(s) Status still proper and desired
(PTO/SB/09-12)
15. ☐ Certified Copy of Priority Document
16. ☐ Other:

*A new statement is required to be entitled to pay small entity fees,
except where one has been filed in a prior application and is being
relied upon.

17. If a **CONTINUING APPLICATION**, check appropriate box, and supply the requisite information below and in a preliminary amendment:

☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No. _____
Prior application information: Examiner: _____ Group/Art Unit: _____

18. CORRESPONDENCE ADDRESS

☒ Customer Number or Bar Code Label

Customer No. 22204

or ☐ Correspondence address below

(Insert Customer No. or Attach bar code label here)

Name: Eric J. Robinson
Firm: NIXON PEABODY LLP
Address: 8180 Greensboro Drive, Suite 800
City: McLean State: VA
Country: U.S.A. Telephone (703) 790-9110

Zip Code: 22102
FAX (703) 883-0370

Name: Eric J. Robinson

Registration No. 38,285

Signature

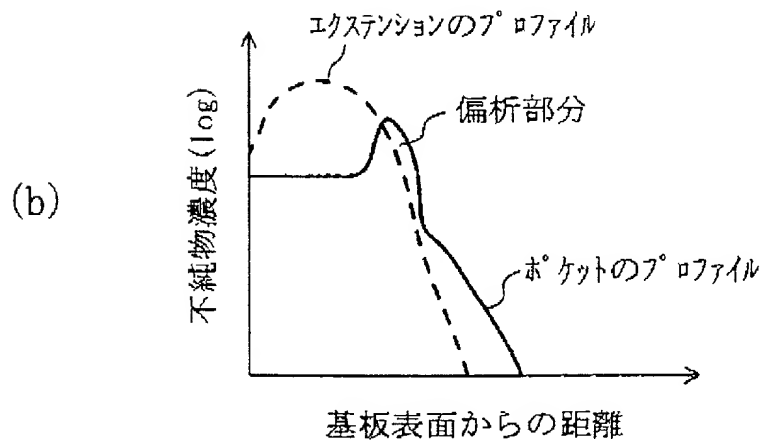
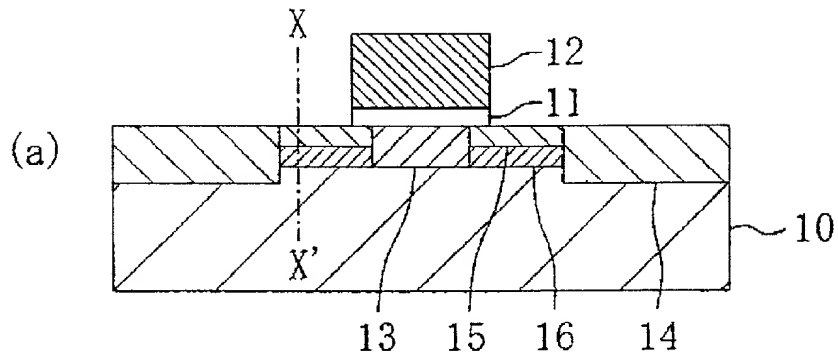
Date:

9-15-00

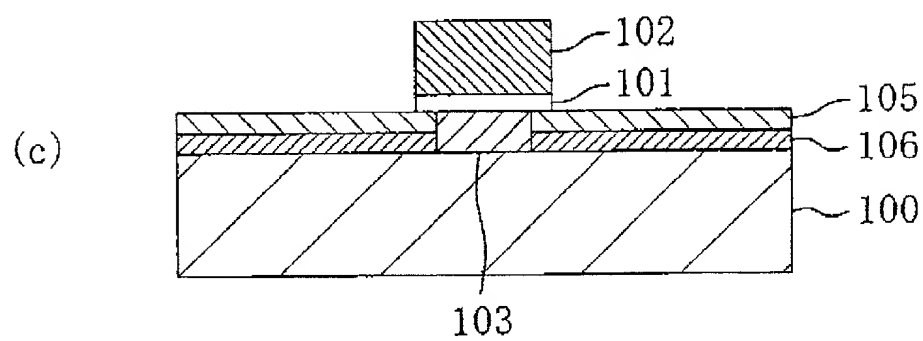
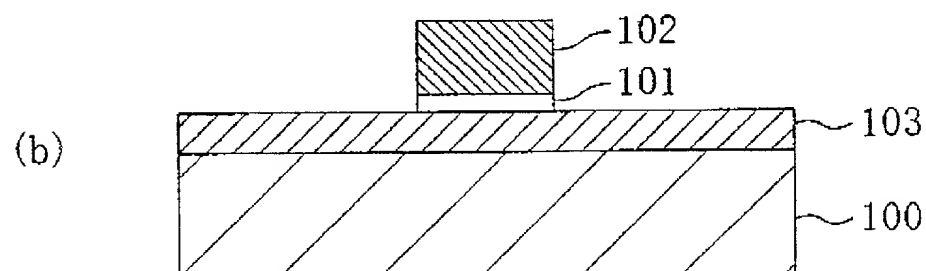
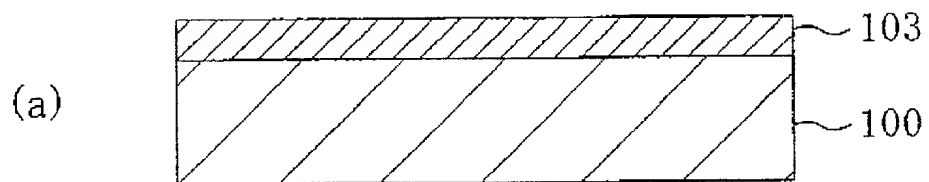
Burden Hour Statement This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Box Patent Application, Washington, DC 20231

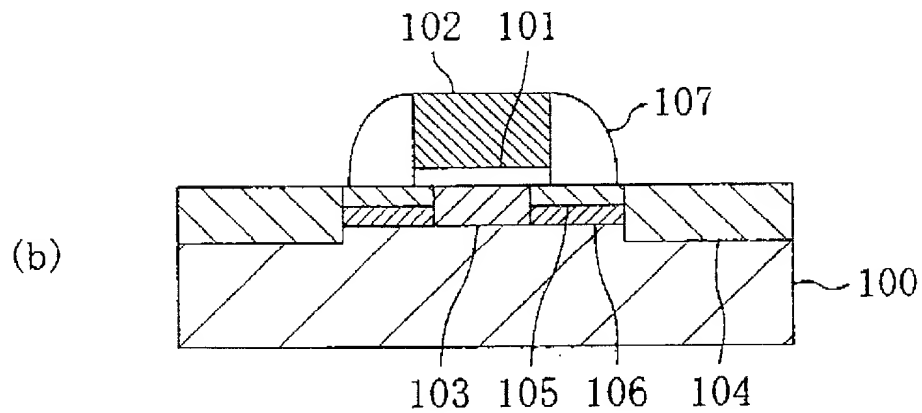
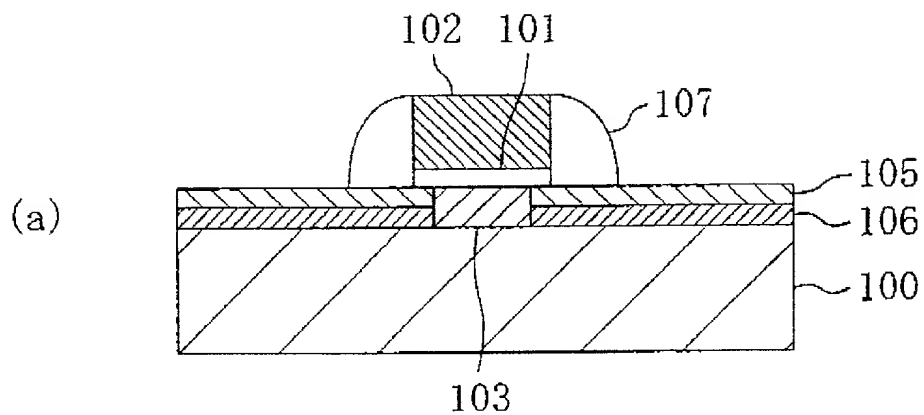
PTO
09/662358

PTO
09/15/00

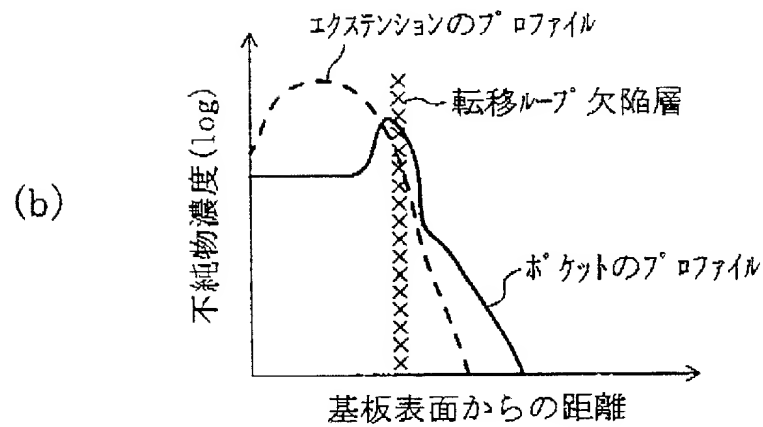
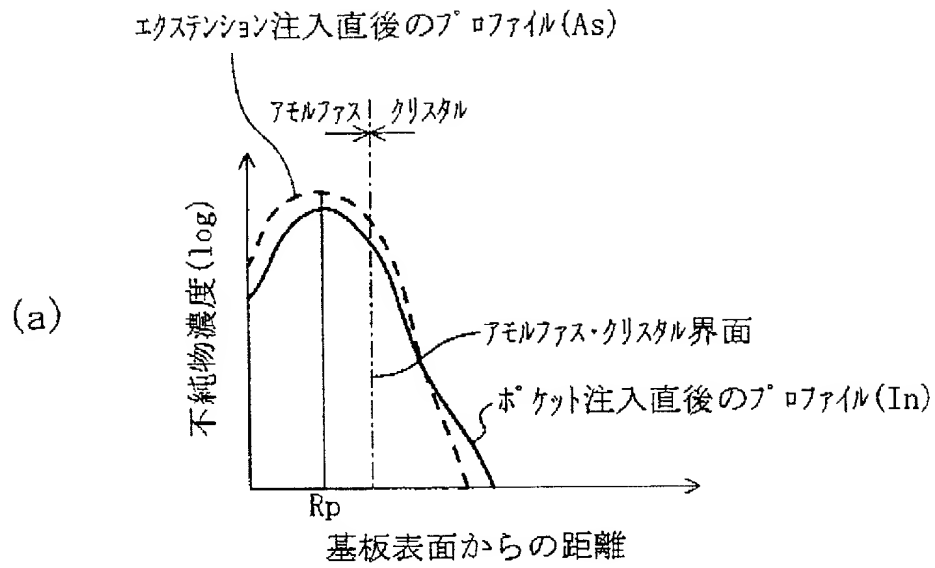


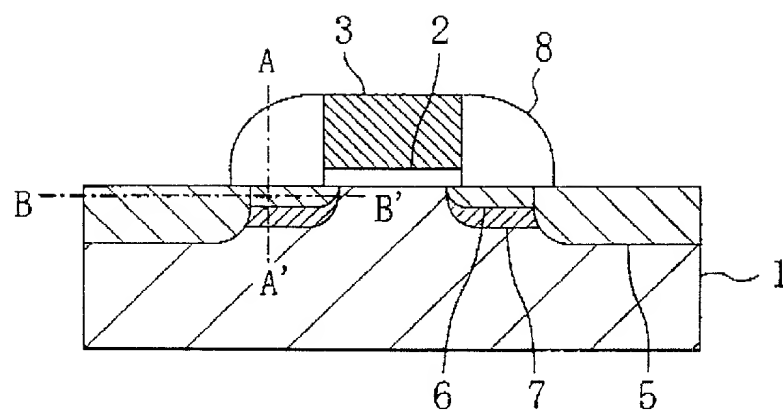
005160" 25229960

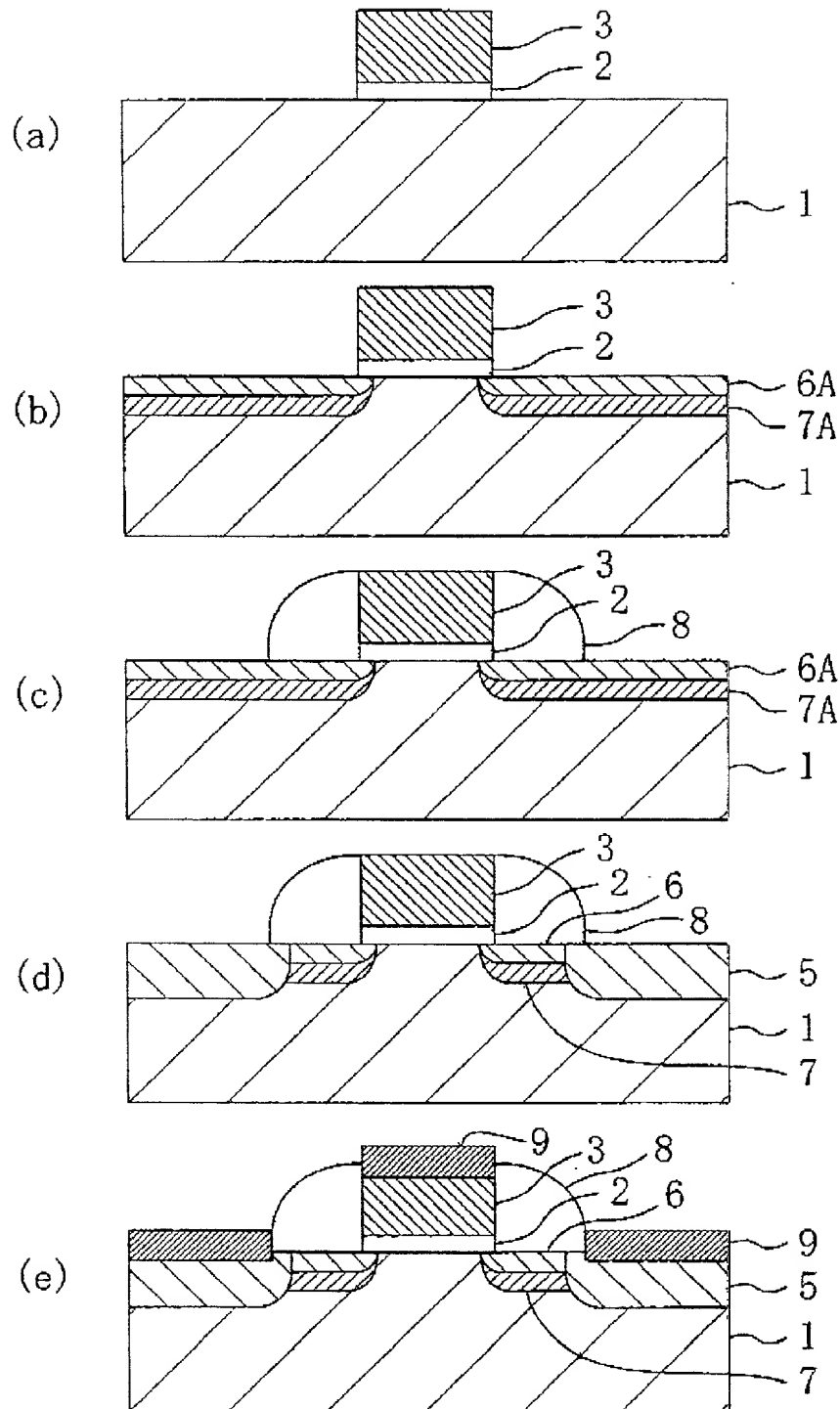


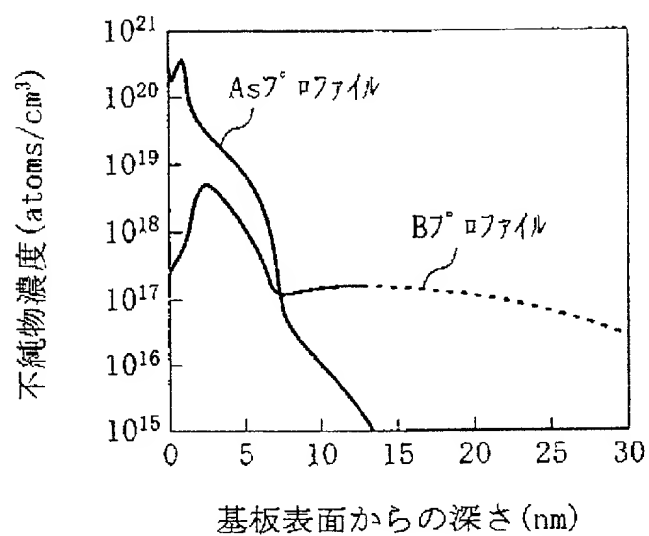


005760" 25E29960









【発明の名称】 半導体装置及びその製造方法

【発明の背景】

本発明は、半導体集積回路の超高集積化を実現できる微細な構造を持ち、高速で且つ低消費電力で動作可能な半導体装置及びその製造方法に関する。

半導体集積回路の超高集積化に伴って、MIS型トランジスタの微細化が要請されており、その実現のためには浅い接合を有するMIS型トランジスタが求められている。

図5は、浅い接合を有する従来のMIS型トランジスタの断面構造を示しており、p型の半導体基板1の上にはゲート絶縁膜2を介してゲート電極3が形成されている。半導体基板1の表面部におけるゲート電極3の両側つまりソース又はドレインとなる領域には、n型不純物例えばヒ素が拡散されてなり、深い接合を持つ高濃度不純物拡散層5、高濃度不純物拡散層5の内側に位置し、n型不純物例えばヒ素が拡散されてなり、高濃度不純物拡散層5よりも浅い接合を持つエクステンション高濃度不純物拡散層6、エクステンション高濃度不純物拡散層6の下側に位置し、p型不純物例えばボロンが拡散されてなるポケット不純物拡散層7がそれぞれ形成されている。また、ゲート電極3の側面には絶縁膜からなるサイドウォール8が形成されている。

以下、図6(a)～(e)を参照しながら、従来のMIS型トランジスタの製造方法について説明する。

まず、図6(a)に示すように、p型の半導体基板1の上にゲート絶縁膜2を介してゲート電極3を形成する。

次に、ゲート電極3をマスクとして、n型不純物であるヒ素イオン及びp型不純物であるボロンイオンを順次イオン注入して、図6(b)に示すように、n型イオン注入層6A及びp型イオン注入層7Aをそれぞれ形成する。

次に、半導体基板1の上に全面に亘ってシリコン窒化膜を700℃程度の温度で堆積した後、該シリコン窒化膜に対して異方性エッチングを行なって、図6(c)に示すように、ゲート電極3の側面にサイドウォール8を形成する。

次に、ゲート電極2及びサイドウォール8をマスクとしてn型不純物であるヒ素イオンをイオン注入した後、900℃～1000℃程度の温度下で10秒間程

度の熱処理を行なって、図6(d)に示すように、深い接合を持つn型の高濃度不純物拡散層5、該高濃度不純物拡散層5の内側に位置し該高濃度不純物拡散層5よりも浅い接合を持つn型のエクステンション高濃度不純物拡散層6、及び該エクステンション高濃度不純物拡散層6の下側に位置するp型のポケット不純物拡散層7をそれぞれ形成する。

次に、スパッタリング法により、半導体基板 1 の上に、10 nm 程度の膜厚を有するコバルト膜及び 20 nm 程度の膜厚を有する窒化チタン膜を順次堆積した後、550℃程度の温度下で 10 秒間程度の熱処理を行ない、その後、窒化チタン膜と未反応のコバルト膜を、硫酸と過酸化水素と水との混合液で選択的にエッチングして除去する。次に、800℃程度の温度下で 10 秒間程度の熱処理を行なって、図 6 (e) に示すように、ゲート電極 3 の表面部及び高濃度不純物拡散層 5 の表面部に、30 nm 程度の膜厚を有するコバルトシリサイド層 9 を自己整合的に形成する。

ところで、従来のMIS型トランジスタの製造方法においては、MIS型トランジスタの駆動力を向上させるために、エクステンション高濃度不純物拡散層6を形成するためのn型イオン注入層6Aのヒ素イオンの注入エネルギーを低くして、エクステンション高濃度不純物拡散層6の接合を浅くしようとしている。また、この場合、ソース領域とドレイン領域との寄生抵抗を小さくするために、ヒ素イオンの注入ドーズ量を大きくする傾向にある。

ところが、ヒ素イオンを高い注入ドーズ量で且つ低い注入エネルギーでイオン注入してn型イオン注入層6Aを形成すると、その後に行なわれるサイドウォール8を形成する際の低温の熱処理プロセス、すなわち700℃程度の比較的低温の熱処理によって、n型イオン注入層6Aの不純物であるヒ素及びポケット不純物拡散層7の不純物であるボロンの過渡増速拡散(TED)が起こってしまい、設計通りの浅い接合を持つエクステンション高濃度不純物拡散層6及びポケット不純物拡散層7を形成することができなくなるという問題がある。尚、過渡増速拡散とは、格子間に過剰に存在する点欠陥と注入された不純物とが相互作用して拡散するため、不純物がその熱平衡状態の拡散係数以上に拡散してしまう現象のことをいう。

図7は、エクステンション高濃度不純物拡散層6及びポケット不純物拡散層7を構成する不純物イオンの深さ方向（図5のA-A'線に沿う方向）の分布を示している。図7から分かるように、エクステンション高濃度不純物拡散層6を構成するヒ素の深さ方向の分布は、熱処理時の過度増速拡散の影響で深く拡散している。ポケット不純物拡散層7を構成するボロンも過度増速拡散の影響を大きく受けて深く拡散し、分布の急峻さを失っている。この図7からも、従来の方法では、不純物分布が浅く且つ急峻であって、短チャネル特性に優れたエクステンション高濃度不純物拡散層及びポケット不純物拡散層を目標通りに形成することが困難であると分かる。

【発明の概要】

前記に鑑み、本発明は、エクステンション高濃度不純物拡散層の接合位置及びポケット不純物拡散層の接合位置を浅くでき、且つ接合リーク電流の増大を防止できる半導体装置及びその製造方法を提供することを目的とする。

前記の目的を達成するため、本発明に係る半導体装置は、半導体領域上にゲート絶縁膜を介して形成されたゲート電極と、半導体領域におけるゲート電極の側方の部位に形成され、第1の不純物が拡散されてなる第1導電型のエクステンション高濃度不純物拡散層と、エクステンション高濃度不純物拡散層の下側に形成され、重イオンが拡散されてなる第2導電型のポケット不純物拡散層とを備え、ポケット不純物拡散層は、重イオンが偏析してなる偏析部を有している。

本発明に係る半導体装置によると、ポケット不純物拡散層は質量の大きい第2導電型の不純物（例えばインジウム）が拡散することにより形成されており、質量の大きい不純物は熱平衡時の拡散係数が小さいと共に、注入ダメージにより発生した過剰点欠陥が転位ループ欠陥層に多く取り込まれて、拡散に寄与できる自由な点欠陥が減少するので、ポケット不純物拡散層の不純物プロファイルは急峻になる。また、ポケット不純物拡散層の内部に転位ループ欠陥層が形成され、転位ループ欠陥層に質量の大きい不純物が偏析してなる偏析部が形成されている。

このため、ポケット不純物拡散層の基板表面側に形成されるエクステンション高濃度不純物拡散層においては、質量の大きい第2導電型の不純物により形成されるアモルファス層によって第1導電型の第1の不純物のチャネリングが抑制さ

れる。また、ポケット不純物拡散層の偏析部によって第1の不純物の拡散が抑制されて接合が浅くなる。従って、トランジスタの駆動力を向上させることができると共に、短チャネル効果を抑制できるのでトランジスタの微細化を図ることができる。

本発明に係る半導体装置の製造方法は、半導体領域上にゲート絶縁膜を介してゲート電極を形成する第1の工程と、ゲート電極をマスクとして、半導体領域中に重イオンの注入を行なって、少なくとも上部領域がアモルファス層になっている第1のイオン注入層を形成する第2の工程と、ゲート電極をマスクとして、アモルファス層が形成された半導体領域中に第1の不純物のイオン注入を行なって、第1導電型の第2のイオン注入層を形成する第3の工程と、第1及び第2のイオン注入層を活性化するための第1の熱処理を行なって、第1の不純物が拡散されてなる第1導電型のエクステンション高濃度不純物拡散層、及びエクステンション高濃度不純物拡散層の下側に位置し重イオンが拡散されてなるポケット不純物拡散層をそれぞれ形成する第4の工程とを備え、ポケット不純物拡散層は、重イオンが偏析してなる偏析部を有している。

本発明に係る半導体装置の製造方法によると、質量の大きい重イオンをイオン注入して半導体領域中にアモルファス層を形成した後、第1導電型の第1の不純物をイオン注入するため、該第1の不純物がチャネリングを起こす事態を防止できる。また、イオン注入後の熱処理時にアモルファス・クリスタル界面付近に転位ループ層が形成され、過度増速拡散の原因となる格子間シリコンが転位ループ層に吸収される。さらに、ポケット不純物拡散層に重イオンが偏析してなる偏析部が形成されるので、第1導電型の第1の不純物の拡散が抑制されるので、エクステンション高濃度不純物層の接合を浅くすることができる。

本発明に係る半導体装置及びその製造方法によると、ポケット不純物拡散層の形成に、インジウム等の質量数の大きな重イオンを用いることにより、該重イオンの注入によるプリアモルファス効果、及び転位ループ層による格子間シリコン吸収の効果に加えて、インジウムが転位ループ層に捕獲されて偏析し易いことを利用し、エクステンション高濃度不純物拡散層とポケット不純物拡散層との両方が、浅く且つ急峻な接合を有するようにできる。従って、逆短チャネル効果が抑

制された微細な半導体装置及びその製造方法を実現することができる。

また、本発明に係る半導体装置の製造方法においては、ポケット不純物拡散層を形成するためのインジウムイオンの注入を低エネルギー且つ高ドーズ量で行なうことにより、ポケット不純物拡散層のプロファイルを最適な位置に形成して、転位ループ欠陥層の位置をソース・ドレイン領域の空乏層にかからないようにすることにより、リーク電流の低減を可能にできる。

【図面の説明】

図１（ａ）は本発明の一実施形態に係るＭＩＳ型トランジスタの断面図であり、図１（ｂ）は図１（ａ）のＸ－Ｘ'線における基板表面から深さ方向に向かう距離と不純物濃度との関係を示す図である。

図 2 (a) ~ (c) は本発明の一実施形態に係る M I S 型トランジスタの製造方法の各工程を示す断面図である。

図3(a)、(b)は本発明の一実施形態に係るMIS型トランジスタの製造方法の各工程を示す断面図である。

図4 (a) は、インジウムイオン及びヒ素イオンを注入した直後における基板表面からの距離と不純物濃度との関係を示す図であり、図4 (b) は、インジウムイオン及びヒ素イオンを注入した後に熱処理を行なったときの基板表面からの距離と不純物濃度との関係を示す図である。

図5は従来のMIS型トランジスタの断面図である。

図6 (a) ~ (e) は従来のMIS型トランジスタの製造方法の各工程を示す断面図である。

図7は、従来のMIS型トランジスタにおいて、基板表面からの深さと不純物濃度との関係を示す図である。

【発明の実施の形態】

以下、本発明の一実施形態に係るMIS型トランジスタの構造について、図1(a)を参照しながら説明する。

図１（ａ）に示すように、ｐ型シリコンからなる半導体基板１０の上には、シリコン酸化膜又はシリコン酸化窒化膜からなるゲート絶縁膜１１を介して、ポリメタル又はポリシリコンからなるゲート電極１２が形成されている。半導体基板

10の表面部におけるゲート電極12の下側には、例えばインジウムが拡散されておりチャネル領域となるp型の不純物拡散層13が形成されている。

p型の不純物拡散層13の両側つまりソース及びドレインとなる領域には、n型不純物例えばヒ素が拡散されてなり、深い接合を持つ高濃度不純物拡散層14、高濃度不純物拡散層14の内側に位置し、n型不純物例えばヒ素が拡散されてなり、高濃度不純物拡散層14よりも浅い接合を持つn型のエクステンション高濃度不純物拡散層15、及びエクステンション高濃度不純物拡散層15の下側に位置し、質量の大きいp型不純物例えばインジウムが拡散されてなるポケット不純物拡散層16がそれぞれ形成されている。後述するように、ポケット不純物拡散層16は偏析部を有しており、該偏析部によって以下の効果が得られる。

(浅い接合を持つポケット不純物拡散層)

図1(b)は、図1(a)のX-X'線における基板表面から深さ方向に向かう距離と不純物濃度との関係を示している。図1(b)から分かるように、ポケット不純物拡散層16には、質量の大きいp型不純物例えばインジウムが偏析してなる偏析部が形成されている。この偏析部は、インジウムイオンの注入時にポケット不純物拡散層16の内部にEnd-of-Range転位ループ欠陥層が形成され、該転位ループ欠陥層にインジウムイオンが偏析することにより形成される。このため、ポケット不純物拡散層16は基板の深さ方向に拡がらずに急峻な濃度プロファイルを持つので、浅い接合が可能となる。

ポケット高濃度不純物拡散層 16 は、インジウムのように大きい質量を持つ不純物のイオン（重イオン）が拡散することにより形成されている。また、質量の大きい不純物は熱平衡状態での拡散係数が小さい。さらに、転位ループ欠陥層に過渡増速拡散を引き起こす原因となる格子間シリコンがトラップされることにより格子間シリコンの数が少なくなるので、インジウムイオンの過渡増速拡散が起こり難くなる。よって、ポケット不純物拡散層の接合を浅くすることができる。

また、不純物の拡散自体が抑制されるため、チャネル領域の下側において横方向への不純物の拡散も抑制されるので、トランジスタの逆チャネル特性も抑制される。

(浅い接合を持つエクステンション高濃度不純物層)

前述のようなポケット不純物層 16 を形成するため、つまりインジウムのように大きい質量を持つ不純物イオン（重イオン）をイオン注入するため、イオン注入層の表面領域がアモルファス化される。このため、その後に行なわれる、エクステンション高濃度不純物拡散層 15 を形成するためのヒ素イオンのイオン注入工程において、ヒ素イオンのチャネリングを抑制することができる。

また、イオン注入時に発生し、過度増速拡散の原因となる格子間シリコンが転位ループ層にトラップされるため、ヒ素イオンの過度増速拡散を抑制できるので、エクステンション高濃度不純物拡散層 15 の接合を浅くすることができる。

以上のように、本実施形態に係る M I S 型トランジスタにおいては、ポケット不純物拡散層 16 に偏析部を形成し、これを利用することにより、浅い接合を持つポケット不純物拡散層 16、及び浅い接合を持つエクステンション高濃度不純物拡散層 15 を備えている。

尚、前記の実施形態においては、チャネル領域となる不純物拡散層 13 にドーブされる不純物としてはインジウムイオンを用いたが、これに代えて、ボロニイオン又はボロニイオンとインジウムイオンとの両方を用いてもよい。

また、前記の実施形態は、nチャネル M I S 型トランジスタであったが、これに代えて、pチャネル M I S 型トランジスタでもよい。pチャネル M I S 型トランジスタの場合には、ポケット不純物拡散層 16 にイオン注入される質量の大きい不純物としては、アンチモンイオン又はアンチモンよりも質量数の大きい 3 B 族のイオンを用いてもよい。

以下、本発明の一実施形態に係る M I S 型トランジスタの製造方法について、図 2 (a) ～ (c) 及び図 3 (a)、(b) を参照しながら説明する。

まず、図 2 (a) に示すように、p 型シリコンからなる半導体基板 100 に p 型の不純物例えばインジウムイオンを、200 k e V の注入エネルギー及び $1 \times 10^{12} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入して、p 型イオン注入層を形成する。このイオン注入を行なった後に、半導体基板 100 を $100^\circ\text{C} / \text{秒}$ の昇温レートで $950 \sim 1050^\circ\text{C}$ の高温まで昇温し、該温度下で 1 ～ 10 秒間程度の短時間保持する第 1 回目の熱処理（高速熱処理：R T A）を行なうことにより、半導体基板 100 の表面部にチャネル領域となる p 型の不純物拡散層 103 を形

成する。

次に、図 2 (b) に示すように、半導体基板 100 の上に、2.5 nm 程度の膜厚を持つゲート絶縁膜 101 を介して、250 nm 程度の膜厚を持つポリシリコン膜又はポリメタルからなるゲート電極 102 を形成する。

次に、半導体基板 100 にゲート電極 102 をマスクにして、質量の大きい p 型の不純物例えばインジウムイオンを例えば 1.5 keV の注入エネルギー及び $1 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入する。このインジウムイオンの注入は、ポケット不純物拡散層 16 を形成するためのものであるが、このインジウムイオンの注入により、半導体基板 100 中の上部領域にアモルファス層を有する第 1 のイオン注入層が形成される。その後、エクステンション高濃度不純物拡散層 15 を形成するため、半導体基板 100 にゲート電極 102 をマスクにして、n 型の不純物例えばヒ素イオンを例えば 1.0 keV の注入エネルギー及び $5 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入して、第 2 のイオン注入層を形成する。次に、 $100^\circ\text{C}/\text{秒} \sim 150^\circ\text{C}/\text{秒}$ の昇温レートで $950 \sim 1050^\circ\text{C}$ の高温まで昇温し、該温度下で $1 \sim 10$ 秒間程度の短時間保持する第 2 回目の熱処理 (RTA) を行なうことにより、図 2 (c) に示すように、半導体基板 100 のソース又はドレインとなる領域に、ヒ素イオンが拡散されてなり浅い接合を持つ n 型のエクステンション高濃度不純物拡散層 105 及び該エクステンション高濃度不純物拡散層 105 の下側に位置しインジウムイオンが拡散されてなり p 型のポケット不純物拡散層 106 を形成する。

次に、半導体基板 100 の上に全面に亘って例えば 50 nm の膜厚を持つシリコン窒化膜を堆積した後、該シリコン窒化膜に対して異方性エッチングを行なうことにより、図 3 (a) に示すように、ゲート電極 102 の側面にサイドウォール 107 を形成する。尚、シリコン窒化膜に代えてシリコン酸化膜からなるサイドウォール 107 を形成してもよい。

次に、半導体基板 100 にゲート電極 102 及びサイドウォール 107 をマスクとして、n 型の不純物例えばヒ素イオンを、30 keV の注入エネルギー及び $3 \times 10^{15} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入して n 型高濃度イオン注入層を形成した後、100°C/秒の昇温レートで 950~1050°C の高温まで昇

温した後、該温度下で1～10秒間程度の短時間保持する第3回目の熱処理（RTA）を行なうことにより、図3（b）に示すように、半導体基板100のソース領域及びドレイン領域となり、ポケット不純物拡散層106よりも深い位置に接合を持つn型の高濃度不純物拡散層104を形成する。

図4（a）は、図2（c）に示す工程において、インジウムイオン（ポケット不純物拡散層106を形成するためのイオン）及びヒ素イオン（エクステンション高濃度不純物拡散層105を形成するためのイオン）を注入した直後における基板表面からの距離と不純物濃度との関係を示しており、図4（b）は、インジウムイオン及びヒ素イオンを注入した後に第2回目の熱処理を行なったときの基板表面からの距離と不純物濃度との関係を示している。

本実施形態においては、インジウムイオンを $1 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入するため、図4（a）に示すように、半導体基板100の内部にアモルファス・クリスタル界面が形成される。アモルファス・クリスタル界面は、インジウムの質量効果により、注入されたインジウムの濃度ピーク（飛程：Rp）の近傍にできるのではなく、濃度ピークよりも基板の深い位置に形成される。アモルファス・クリスタル界面が形成された状態で熱処理を加えると、アモルファス・クリスタル界面の下側（クリスタル側）にEnd-of-Range転位ループ欠陥層が形成される。このため、第2回目の熱処理によってインジウムを活性化すると、図4（b）に示すように、転位ループ欠陥層に、インジウムが偏析してなる偏析部が形成される。従って、ポケット不純物拡散層106は、基板の深さ方向に拡がらずに急峻な濃度プロファイルとなり、ポケット不純物拡散層106は浅い接合を有する。

前述したように、転位ループ層に、過度増速拡散を引き起こす原因となる格子間シリコンもトラップされるので、インジウムイオンの過度増速拡散を抑制することができる。よって、ポケット不純物拡散層106の不純物プロファイルは急峻になり、ポケット不純物拡散層106の接合を浅い位置に形成することができる。

また、ポケット高濃度不純物層106の基板表面側に形成されるエクステンション高濃度不純物拡散層105においては、インジウムのイオン注入によって形

成されたアモルファス層により、ヒ素イオンのチャネリングが抑制されるので、接合深さの浅いイオン注入層を形成することができる。

さらに、転位ループ欠陥層に、過度増速拡散を起こす原因となる格子間シリコンもトラップされるので、ヒ素イオンの過度増速拡散を抑制することもできる。よって、エクステンション高濃度不純物拡散層 105 の不純物プロファイルは急峻になり、接合を浅い位置に形成することができる。

以上のように、本実施形態では、トランジスタを微細化しても、ドレイン電流の低下が抑制され、トランジスタの駆動力を向上させることができる。

尚、本実施形態においては、インジウムイオンを $1 \times 10^{14} / \text{cm}^2$ 程度の注入ドーズ量でイオン注入したが、 $5 \times 10^{13} / \text{cm}^2$ 以上（好ましくは、 $1 \times 10^{16} / \text{cm}^2$ 以下）の注入ドーズ量でイオン注入すると、半導体基板 100 の内部にアモルファス層を形成することができ、これによって、ポケット不純物拡散層 106 にインジウムの偏析部を形成することができる。

また、本実施形態においては、ポケット不純物拡散層 106 にドーブされるインジウムイオンを 15 keV の注入エネルギーでイオン注入すると共に、エクステンション高濃度不純物拡散層 105 にドーブされるヒ素イオンを 10 keV の注入エネルギーでイオン注入するため、インジウムイオンの飛程 ($R_p(I_n)$) とヒ素イオンの飛程 ($R_p(A_s)$) とはほぼ等しくなり、図 4 (a) に示すような飛程 ($R_p(I_n)$ 、 $R_p(A_s)$) にすることができる。このように、インジウムイオン及びヒ素イオンの飛程を調整することにより、アモルファス・クリスタル界面は、ヒ素イオンの濃度ピークよりも深い位置に形成され、且つエクステンション高濃度不純物層 105 から大きく離れてしまわないようにすることができる。このようにインジウムイオンの注入により形成されるアモルファス・クリスタル界面は、インジウムイオンの飛程 ($R_p(I_n)$) よりも深い位置にできるので、これを考慮して、ポケット不純物拡散層 106 を形成するインジウムイオンの注入エネルギーを決める必要がある。

通常、ポケット不純物拡散層 106 はエクステンション高濃度不純物拡散層 105 の下側に形成するため、エクステンション高濃度不純物層 105 の直下に濃度プロファイルのピークがくるように飛程を調整するが、本実施形態の場合、イ

インジウムイオン注入によりアモルファス・クリスタル界面は、インジウムイオンの飛程 ($R_p(I_n)$) の近傍ではなく、より深い位置に形成されるので、インジウムの飛程 ($R_p(I_n)$) を浅めに設定している。設定条件は前述の通りである。図4(b)に示すように、アモルファス・クリスタル界面のクリスタル側にインジウムの偏析部が形成されるので、浅い接合を持つポケット不純物拡散層106を形成できる。

本実施形態では、図4(a)に示すように、インジウムの飛程とヒ素の飛程とをほぼ等しくしている(図4(a)において R_p で示す位置)が、インジウムイオンの注入による飛程 ($R_p(I_n)$) とヒ素イオンの注入による飛程 ($R_p(As)$) との関係を、

$R_p(I_n) \leq R_p(As) \times 3.5$ に、つまり $R_p(I_n)$ を $R_p(As)$ の3.5倍以下に設定することにより、エクステンション高濃度不純物拡散層105のプロファイルから離れた位置にインジウムの偏析部が形成される事態を防止して、図4(b)のように、エクステンション高濃度不純物層105のプロファイルにポケット不純物拡散層106のプロファイル(偏析部)が重なるようにすることができる。

また、ポケット不純物拡散層106にドーブされるインジウムイオンの注入エネルギーを調整して、アモルファス・クリスタル界面が、エクステンション高濃度不純物拡散層105にドーブされるヒ素イオンの飛程よりも深くて、且つソース又はドレインとなる高濃度不純物拡散層104にドーブされるヒ素イオンの飛程よりも浅くなるようにすると、転位ループ欠陥層がソース領域又はドレイン領域の空乏層部分に位置しないので、トランジスタにおける接合リークを低減することができる。この転位ループ欠陥層がトランジスタの動作中にできるソース領域・ドレイン領域の空乏層に覆われると、ソース領域・ドレイン領域と基板との間に、欠陥に起因するリーク電流が発生する。ここでは、欠陥層が空乏層にかからないように設定しているので、接合リークは発生しない。

尚、ポケット不純物拡散層106にドーブされるインジウムイオンの注入エネルギーを5〜30keVの範囲内に設定すると、該インジウムイオンの飛程がエクステンション高濃度不純物拡散層105の内部に位置するので、転位ループ欠

陰層ひいてはインジウムの偏析部をポケット不純物拡散層 106 の内部に形成することができる。

また、本実施形態においては、p型の半導体基板100に質量の大きいインジウムイオンを注入して、チャネル領域となるp型の不純物拡散層103を形成しているため、チャネル領域における基板の表面に最も近い領域においては不純物濃度が低いため、微細化してもキャリアの移動度が低下しないと共に、チャネル領域における基板の表面から少し深い領域においては急峻な不純物濃度が得られるので、トランジスタの駆動力を低減することなくトランジスタの微細化を図ることができる。

また、チャネル領域を形成するための質量の大きいインジウムイオンを注入した直後に熱処理（ＲＴＡ）を行なっているため、インジウムイオンの注入に起因して半導体基板１００が受ける結晶ダメージを回復することができる。

また、本実施形態においては、インジウム及びヒ素イオンを適切な注入エネルギーで順次イオン注入した後、第2回目の熱処理工程において高速熱処理を行なって、エクステンション高濃度不純物拡散層105及びポケット不純物拡散層106を形成するため、クリスタル層に残った過剰な格子間シリコンが、アモルファス・クリスタル界面付近に形成される転位ループ層に吸収される。このため、不純物イオンの過度増速拡散を増大させる過剰な格子間シリコンの量が減るので、エクステンション高濃度不純物拡散層105及びポケット不純物拡散層106の形成時における過度増速拡散を抑制して浅い接合を実現できる。

本実施形態では、ポケット不純物拡散層 106 を形成するためのイオン注入に、質量数の大きいインジウムを用いることにより、前述したプリアモルファス化効果に加えて、転位ループ層による格子間シリコン吸収の効果を自動的に実現することができる。併せて、インジウムは、転位ループ層に捕獲されて強く偏析する特徴があるので、ポケット不純物拡散層 106 の低濃度領域（不純物プロファイルのテール部分）への大きな拡散が抑制され、浅くてより急峻なポケット不純物拡散層 106 を実現できる。ポケット不純物拡散層 106 の拡散を抑制し、急峻なプロファイルを実現することは、インジウムのチャネル部分への拡散をも抑制できるので、逆チャネル効果が防止される。

本実施形態に係る半導体装置の製造方法によると、エクステンション高濃度不純物層 105 及びポケット不純物拡散層 106 の両方を浅く且つ急峻にできるので、インジウムのポケット不純物拡散層 106 のみが浅く且つ急峻になって、ポケット不純物拡散層 106 がエクステンション高濃度不純物拡散層 105 に隠れてしまう事態を防止できる。

尚、本実施形態においては、チャネル領域となる不純物拡散層 103 にはインジウムイオンを注入したが、これに代えて、ボロンイオン又はボロンイオンとインジウムイオンとの両方をイオン注入してもよい。

また、第2回目の熱処理（図2（c）に示す工程）を省略してもよい。この場合には、第3回目の熱処理（図3（b）に示す工程）により、n型のエクステンション高濃度不純物拡散層 105、p型のポケット不純物拡散層 106 及び高濃度不純物拡散層 104 が同時に形成される。

また、本実施形態は、nチャネルMIS型トランジスタであったが、これに代えて、pチャネルMIS型トランジスタでもよい。pチャネルMIS型トランジスタの場合には、ポケット不純物拡散層 106 には不純物イオンとして、アンチモンイオンを注入することが好ましい。

【請求の範囲】

1. 半導体装置は、

半導体領域上にゲート絶縁膜を介して形成されたゲート電極と、
前記半導体領域における前記ゲート電極の側方の部位に形成され、第1の不純物が拡散されてなる第1導電型のエクステンション高濃度不純物拡散層と、

前記エクステンション高濃度不純物拡散層の下側に形成され、重イオンが拡散されてなる第2導電型のポケット不純物拡散層とを備え、

前記ポケット不純物拡散層は、前記重イオンが偏析してなる偏析部を有している。

2. 請求項1の半導体装置において、

前記ポケット不純物拡散層の偏析部は、前記エクステンション高濃度不純物拡散層のプロファイルと重なっている。

3. 請求項1の半導体装置は、

前記ゲート電極の側面に形成されたサイドウォールと、

前記半導体領域における前記サイドウォールの側方の部位に前記エクステンション高濃度不純物拡散層の外側に接するように形成され、前記エクステンション高濃度不純物拡散層よりも深い接合を持ち、第2の不純物が拡散されてなる第1導電型の高濃度不純物拡散層とをさらに備えている。

4. 請求項1の半導体装置は、

前記半導体領域における前記ゲート電極の下方の部位に形成され、第3の不純物が拡散されておりチャネル領域となる不純物拡散層をさらに備えている。

5. 請求項1の半導体装置において、

前記重イオンは、インジウムである。

6. 半導体装置の製造方法は、

半導体領域上にゲート絶縁膜を介してゲート電極を形成する第1の工程と、

前記ゲート電極をマスクとして、前記半導体領域中に重イオンの注入を行なって、少なくとも上部領域がアモルファス層になっている第1のイオン注入層を形成する第2の工程と、

前記ゲート電極をマスクとして、前記アモルファス層が形成された前記半導体

領域中に第1の不純物をイオン注入して、第1導電型の第2のイオン注入層を形成する第3の工程と、

前記第 1 及び第 2 のイオン注入層を活性化するための第 1 の熱処理を行なって、前記第 1 の不純物が拡散してなる第 1 導電型のエクステンション高濃度不純物拡散層、及び前記エクステンション高濃度不純物拡散層の下側に位置し前記重イオンが拡散してなるポケット不純物拡散層をそれぞれ形成する第 4 の工程とを備え、

前記ポケット不純物拡散層は、前記重イオンが偏析してなる偏析部を有している。

7. 請求項6の半導体装置の製造方法において、

前記ポケット不純物拡散層の偏析部は、前記エクステンション高濃度不純物拡散層のプロファイルと重なっている。

8. 請求項6の半導体装置の製造方法は、

前記第3の工程よりも後に行なわれ、前記ゲート電極の側面にサイドウォールを形成する工程と、

前記ゲート電極及び前記サイドウォールをマスクとして、前記半導体領域中に第3の不純物をイオン注入して、第1導電型の第3のイオン注入層を形成する工程と、

前記第3のイオン注入層を活性化するための第2の熱処理を行なって、前記エクステンション高濃度不純物拡散層の外側に位置し、前記エクステンション高濃度不純物拡散層よりも深い接合を持ち、第2の不純物が拡散してなる第1導電型の高濃度不純物拡散層を形成する工程とをさらに備えている。

9. 請求項8の半導体装置の製造方法において、

前記重イオンの注入は、前記重イオンの注入により形成されるアモルファス・クリスタル界面が、前記第1の不純物の飛程と同じか又は深く、且つ前記第1の不純物の飛程よりも浅くなるような注入エネルギーで行なわれる。

10. 請求項6の半導体装置の製造方法は、

前記第1の工程よりも前に行なわれ、前記半導体領域の表面部にイオン注入を行なって、第2導電型の第4のイオン注入層を形成する工程と、

前記第4のイオン注入層を活性化するための第3の熱処理を行なって、チャネル領域となる不純物拡散層を形成する工程とをさらに備えている。

11. 請求項6の半導体装置の製造方法において、

前記重イオンの注入は、前記第1の不純物の飛程が前記エクステンション高濃度不純物拡散層の内部に位置するような注入エネルギーで行なわれる。

12. 請求項6の半導体装置の製造方法において、

前記重イオンの注入は、前記重イオンの飛程が、前記第1の不純物の飛程と同じか又は深く、且つ前記第1の不純物の飛程の3倍以下となるような注入エネルギーで行なわれる。

13. 請求項6の半導体装置の製造方法において、

前記重イオンは、インジウムイオンである。

14. 請求項6の半導体装置の製造方法において、

前記インジウムイオンの注入ドーズ量は $5 \times 10^{13} / \text{cm}^2$ 以上である。

15. 請求項6の半導体装置の製造方法において、

前記第1の熱処理は、 $100^\circ\text{C}/\text{秒} \sim 150^\circ\text{C}/\text{秒}$ の昇温レートで $950^\circ\text{C} \sim 1050^\circ\text{C}$ の温度まで昇温し、該温度下で1～10秒間保持する急速高温熱処理である。

【要約】

半導体領域上にはゲート絶縁膜を介してゲート電極が形成されている。半導体領域におけるゲート電極の側方の部位には、第1の不純物が拡散されてなる第1導電型のエクステンション高濃度不純物拡散層が形成されている。エクステンション高濃度不純物拡散層の下側には、重イオンが拡散されてなる第2導電型のポケット不純物拡散層が形成されている。ポケット不純物拡散層は、重イオンが偏析してなる偏析部を有している。